

IN THE UNITED STATES DESIGNATED OFFICE (DO/US)

In re: Eun-Kee Hong  
Application Serial No. To be assigned  
Filed: Concurrently herewith:  
For: COMPOSITIONS INCLUDING PERHYDRO-POLYSILAZANE USED IN A  
SEMICONDUCTOR MANUFACTURING PROCESS AND METHODS OF  
MANUFACTURING A SEMICONDUCTOR DEVICE USING THE SAME

Date: February 11, 2004

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

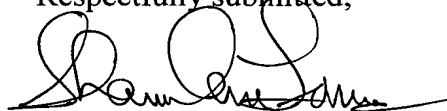
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2003-0008846; Filed February 12, 2003.

Respectfully submitted,



Shawna C. Lemon  
Registration No. 53,888

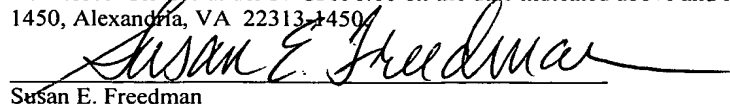
Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

"Express Mail" mailing label number: EV 353611603 US

Date of Deposit: February 11, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Susan E. Freedman



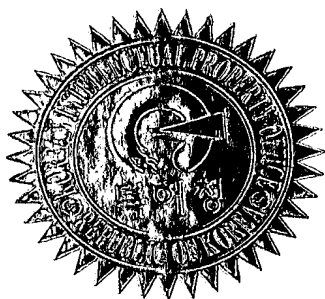
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0008846  
Application Number

출 원 년 월 일 : 2003년 02월 12일  
Date of Application FEB 12, 2003

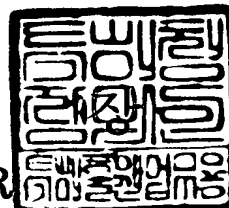
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년    03      월    11      일

특      허      청

COMMISSIONER



## 【서지사항】

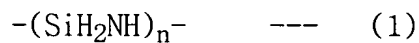
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.12
【발명의 명칭】	퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물 및 이를 이용한 반도체 소자의 제조방법
【발명의 영문명칭】	COMPOSITION INCLUDING PERHYDRO-POLYSILAZANE FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SEMICONDUCTOR DEVICE USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	홍은기
【성명의 영문표기】	HONG,Eun Kee
【주민등록번호】	680730-1037419
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 110동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	나규태
【성명의 영문표기】	NA,Kyu Tae
【주민등록번호】	650417-1052417
【우편번호】	140-727
【주소】	서울특별시 용산구 이촌1동 강촌아파트 105동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	구주선
【성명의 영문표기】	G00,Ju Seon

【주민등록번호】	700412-2108813		
【우편번호】	442-733		
【주소】	경기도 수원시 팔달구 영통동 산나무실주공아파트 515동 501호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김홍근		
【성명의 영문표기】	KIM,Hong Gun		
【주민등록번호】	720520-1468417		
【우편번호】	440-320		
【주소】	경기도 수원시 장안구 율전동 현대아파트 307동 901호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	26	면	26,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	612,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물 및 이를 이용한 반도체 소자의 제조방법이 개시되어 있다. 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물을 제공한다.



상기식 (1)에서, n은 양의 정수를 의미한다. 도전성 패턴이 형성되거나, 트렌치가 형성된 반도체 기판 상에 상기 조성물을 도포하여 막을 형성한다. 상기 막을 실리콘 산화막으로 전환시키고, 상기 실리콘 산화막에 개구부를 형성한다. 상기 개구부를 도전성 물질로 매립하여 콘택을 형성한다. 이와 같이, 저분자량의 퍼하이드로 폴리실라잔을 포함하는 조성물을 이용하여 조밀도 및 균일도가 향상된 막을 형성할 수 있다.

## 【대표도】

도 3a

【명세서】

【발명의 명칭】

퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물 및 이를 이용한 반도체 소자의 제조방법{COMPOSITION INCLUDING PERHYDRO-POLYSILAZANE FOR MANUFACTURING SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SEMICONDUCTOR DEVICE USING THE SAME}

【도면의 간단한 설명】

도 1a 내지 도 1e는 본 발명의 실험예에 따른 반도체 소자의 트렌치 산화막 형성방법을 설명하기 위한 단면도이다.

도 2a는 본 발명의 실험예에 의한 반도체 소자의 평면도이다.

도 2b 내지 도 2j는 본 발명의 실험예에 의한 반도체 소자의 제조방법을 설명하기 위한 도 2a의 AA'방향에 대한 단면도이다.

도 3a는 본 발명의 실험예에 의한 갭 매립 방법을 설명하기 위한 개략적인 단면도이다.

도 3b는 본 발명의 비교실험예에 의한 갭 매립 방법을 설명하기 위한 개략적인 단면도이다.

도 4a는 본 발명의 비교실험예에 의한 반도체 소자의 평면도이다.

도 4b 내지 도 4j는 본 발명의 비교실험예에 의한 반도체 소자의 제조방법을 설명하기 위한 도 4a의 BB'방향에 대한 단면도이다.

도 5a는 본 발명의 실험예에 의해 제조된 제1 층간 절연막 단면의 투과 전자 현미경(TEM)사진이다.

도 5b는 본 발명의 비교실험예에 의해 제조된 제1 층간 절연막 단면의 투과 전자 현미경(TEM)사진이다.

도 6은 본 발명의 실험예 및 비교실험예에 의해 제조된 반도체 소자 256M 당 비트 패일(bit fail)의 발생 개수를 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

200, 400 : 기판      202, 402 : 패드 산화막  
 204, 404 : 제1 질화막      206, 406 : 고온 산화막  
 210, 410 : 트렌치      215, 415 : 트렌치 내벽 산화막  
 225, 425 : 제2 질화막      226, 426 : 제1막  
 227, 427 : 제1 산화막      230, 430 : 트렌치 산화막  
 235, 435 : 게이트 산화막      236, 436 : 도핑된 폴리실리콘막 패턴  
 238, 438 : 게이트 전극      240, 440 : 소오스/드레인 영역  
 250, 450 : 게이트 스페이서      260, 460 : 제2막  
 265, 465 : 제1 층간 절연막      270a, 470a : 제1 콘택홀  
 270b, 470b : 제2 콘택홀      275a, 275a : 제1 콘택 플러그  
 275b, 475b : 제2 콘택 플러그      280, 480 : 비트라인  
 285, 485 : 제2 층간 절연막      290, 490 : 제3 콘택홀  
 295, 495 : 제3 콘택 플러그      300 : 저분자량 폴리실라잔 분자

320 : 고분자량 폴리실라잔 분자 330 : 공극

465a : 통로 465b : 침식 영역

475 : 브릿지

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<28> 본 발명은 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물 및 이를 이용한 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 막질을 조밀하게 형성할 수 있는 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물 및 이를 이용한 반도체 소자의 제조방법에 관한 것이다.

<29> 최근, 급속도로 성장하는 정보화 사회에 있어서, 다양한 기술의 발전과 함께 대량의 정보를 보다 빠르게 처리하기 위해 반도체 장치는 고집적화 되고 있다. 따라서, 더 많은 패턴을 반도체 기판 상에 형성하기 위해 패턴 간격 및 패턴의 폭이 좁아지고 있는 추세이다.

<30> 일반적으로 반도체 소자를 제조하는 공정에서 적층된 패턴들은 실리콘 웨이퍼에 형성된 트랜지스터(transistor) 소자 및 각종 금속 배선층들로서, 도전성을 갖기 때문에 그 사이에 절연층이 형성된다. 상기 절연층은 반도체 기판과 도전층 패턴의 전면에 증착된 후, 평탄화시켜 형성되는데, 간격이 좁은 패턴 사이를 내부 공극 없이 매립하고 평탄화하는 기술은 반도체 소자 제조에 있어서 중요한 기술 중 하나로 대두되고 있다.



- <31>        절연층 형성 공정 중에는 포스포 실리케이트 글래스(Boro-Phospho-Silicate Glass; 이하, 'BPSG' 라 한다.) 공정이 있다. 상기 BPSG 공정은 상기 BPSG를 증착한 후 열처리를 통해서 갭 매립 능력을 향상시키거나 평탄도를 개선시키기에 적합한 것으로 판단되어 사용되고 있다. 그러나, 상기 BPSG 공정은 우수한 갭 매립 능력에도 불구하고 디자인 룰이 100nm 이하인 반도체 소자에 적용하기에는 고온 리플로우(reflow) 공정을 포함하며, 습식 식각 속도가 매우 높아 제어하기가 까다롭다.
- <32>        절연층을 형성하기 위한 다른 공정으로는 고밀도 플라즈마 화학 기상 증착(High Density Plasma - Chemical Vapor Deposition;이하, "HDP-CVD"라고 한다.) 산화막 공정 및 O<sub>3</sub>-TEOS(Tetra-Ethyl ortho-Silicate) 공정 등이 있다. 상기 HDP-CVD 산화막 공정 및 O<sub>3</sub>-TEOS 공정은 디자인 룰(design rule)이 100nm 이하인 반도체 소자의 셀로우 트렌치 분리(Shallow Trench Isolation;이하, "STI"라고 한다.) 공정 및 PMD(Pre-Metal Dielectric) 공정으로 현재 널리 적용되고 있다. 그러나, 상기 공정들은 갭 매립(gap filling) 능력이 부족하여 반도체 소자 제조공정에 적용할 때, 공정이 복잡해진다.
- <33>        따라서, 갭 매립 능력이 우수한 절연층 형성공정으로 플로잉 형태(Flowing type)의 SOG(Spin On Glass) 물질을 사용한 공정이 널리 사용되고 있다. 상기 SOG 물질을 사용한 공정은 매립 능력이 우수하여 보이드의 발생을 억제시킨다. 상기 SOG 물질 중에서 폴리실라잔(polysilazane) 계열은 절연성을 확보하기 위해 O<sub>2</sub> 및 H<sub>2</sub>O 등의 산화기체(oxidant) 및 고온의 열을 사용하여 SiO<sub>2</sub>로 전환된다. 따라서, 간단한 스핀 코팅 방법 및 경화 공정에 의해 수행할 수 있으므로 비용이 절감된다. 상기 SiO<sub>2</sub> 막은 다른 SOG 박막보다 열적 및 화학적으로 안정하여 반도체 공정의 STI 공정 및 층간 유전막(Inter Layer Dielectric;ILD) 공정에 사용되고 있다. 일본 공개 특허 2001-308090 및 대한민국

공개특허공보 특2002-0068672에 반도체 소자의 겹 매립방법이 개시되어 있다. 상기 공개 특허들은 폴리실라잔을 이용한 겹 매립방법을 제시하고 있으나, 상기 공개 특허들에 사용된 폴리실라잔은 중량 평균 분자량이 큰 고분자량(High Molecular Weight)의 폴리실라잔으로서 충분한 겹 매립을 이루기 어렵다.

<34> 현재 사용 중인 폴리실라잔은 중량 평균 분자량이 약 5000으로 디자인 룰이 약 20nm 이하인 반도체 소자에 적요하는 경우에는 겹 매립은 이루어지나, 다공성(porous)의 박막이 형성되기 쉽다. 즉, 중량 평균 분자량이 약 5000인 폴리실라잔은 실제 분자 크기가 평균적으로 약 4nm로 계산된다. 따라서, 상기 약 4nm의 분자 크기를 갖는 폴리실라잔으로 겹 매립을 하게되면, 패킹(packing) 능력이 저하되어 매립된 겹 내에 공극이 형성되므로, 결과적으로 다공성의 막을 형성하게 된다.

<35> 따라서, 후속에 상기 폴리실라잔으로 막이 형성된 부분을 식각 및 세정하여 복수개의 콘택홀을 형성하면, 원하지 않는 폴리실라잔막까지 유실되어 상기 콘택홀이 서로 격리되지 못한다. 즉, 후속에 도전물질로 상기 콘택홀을 매립하여 콘택을 형성하게되면, 상기 콘택들이 상호 접촉되어 반도체 소자의 불량률 초래하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<36> 따라서, 본 발명의 제1목적은 겹 매립이 용이한 저분자량의 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물을 제공하는 것이다.

<37> 본 발명의 제2목적은 저분자량의 퍼하이드로 폴리실라잔을 이용하여 겹 사이를 조밀하게 매립하는 막 형성방법을 제공하는 것이다.

<38> 본 발명의 제3목적은 저분자량의 퍼하이드로 폴리실라잔을 이용하여 균일하고 조밀한 절연막을 갖는 반도체 소자의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<39> 상기 제1 목적을 달성하기 위하여 본 발명은, 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물을 제공한다.

<40>  $-(\text{SiH}_2\text{NH})_n-$  --- (1)

<41> 상기식 (1)에서, n은 양의 정수를 의미한다.

<42> 상기 제2 목적을 달성하기 위하여 본 발명은, 갭이 있는 기판 상에 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포하여 막을 형성한다.

<43>  $-(\text{SiH}_2\text{NH})_n-$  --- (1)

<44> 상기식 (1)에서, n은 양의 정수를 의미한다.

<45> 상기 제3 목적을 달성하기 위하여 본 발명은, 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 도전성 패턴을 형성하고, 상기 도전성 패턴을 포함한 기판 상에 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포한다.

<46>  $-(\text{SiH}_2\text{NH})_n-$  --- (1)

<47> 상기식 (1)에서, n은 양의 정수를 의미한다. 상기 막에 산화기체를 제공하고 열을 가하여 실리콘 산화막으로 전환시키고, 상기 실리콘 산화막의 일부를 식각하여 상기 기

판의 상부면을 노출시키는 개구부를 형성한다. 상기 개구부를 도전성 물질로 매립하여 콘택을 형성한다.

<48> 이와 같이, 저분자량의 퍼하이드로 폴리실라잔을 포함하는 조성물을 이용하여 반도체 소자의 층간 절연막을 형성함으로써 막의 조밀도 및 균일도를 향상시켜 안정적으로 소자를 제조할 수 있다.

<49> 이하, 본 발명을 상세하게 설명한다.

<50> 우선, 중량 평균 분자량이 약 300 내지 3000이고 분자량 분포도(molecular weight distribution)가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물을 설명한다.

<51>  $-(\text{SiH}_2\text{NH})_n-$  --- (1)

<52> 상기식 (1)에서, n은 양의 정수를 의미한다. 상기 퍼하이드로 폴리실라잔은 저분자량(Low Molecular Weight)의 폴리실라잔으로서 중량 평균 분자량이 약 300 미만이면, 고분자로서의 특성을 발휘할 수 없고, 약 3000 초과이면, 분자량이 과도하게 증가되어 분자 크기가 증가된다. 따라서, 본 발명의 퍼하이드로 폴리실라잔의 중량 평균 분자량은 약 300 내지 3000인 것이 바람직하다.

<53> 또한, 상기 퍼하이드로 폴리실라잔의 분자량 분포도(Molecular Weight Distribution; MWD)가 약 1.8 미만이면, 분자량의 분포도가 다소 균일해지므로 그에 따른 분자 크기의 분포도도 균일하여 분자간 공극율이 증가하고, 약 3 초과이면, 공극율은 감소되나 막의 균일도가 저하된다. 따라서, 상기 퍼하이드로 폴리실라잔의 분자량 분포도는 약 1.8 내지 3인 것이 바람직하다.

- <54>       상기 퍼하이드로 폴리실라잔은 용매와 함께 반도체 소자를 제조하기 위해 제공된다. 상기 용매는 크실렌(xylene) 및 디부틸에테르(di-butyl ether) 등과 같은 물질을 사용할 수 있다.
- <55>       반도체 소자 제조용 조성물로서 상기 퍼하이드로 폴리실라잔은 전체 조성물 총량 중 약 5 중량% 미만이면, 점도가 저하되어 도포하고자 하는 막의 두께가 얇아지고, 약 30 중량% 초과이면, 점도가 증가되어 막의 두께가 필요 이상으로 두꺼워진다. 따라서, 약 5 내지 30 중량%인 것이 바람직하다. 또한, 전체 조성물 총량 중 용매는 약 70 중량% 미만이면, 점도가 증가되어 막의 두께가 필요 이상으로 두꺼워지고, 약 95 중량% 초과이면, 점도가 저하되어 원하는 두께의 막을 얻을 수 없다. 따라서, 약 70 내지 95 중량%인 것이 바람직하다.
- <56>       막의 불순물(defect) 검사 시험
- <57>       반도체 소자 제조용 조성물은 통상적인 스핀 코팅(spin coating)에 의해 기판 상에 도포되었다. 또한,  $O_2$  및  $H_2O$  등을 공급하면서 약  $700^{\circ}C$ 에서 경화되었다. 막 형성 후, 상기 막 상에 존재하는 불순물은 통상적인 광학 검사(Optical Inspection) 장비에 의해 검사하였다.
- <58>       이하, 본 발명의 실시예에 의해 더욱 상세히 설명한다.
- <59>       실시예
- <60>       반도체 소자 제조용 조성물로서 중량 평균 분자량( $M_w$ )이 약 1700이고, 수평균 분자량( $M_n$ )이 약 800이며, 분자량 분포도(MWD)가 약 2.2인 폴리실라잔을 제공하였다. 상기 폴리실라잔의 분자 사이즈(molecular size)는 평균적으로 약 2nm 로써, 전체 폴리실라잔

분자들의 사이즈는 약 0.5 내지 4nm 의 범위로 존재하였다. 상기 폴리실라잔 및 용매로써 디부틸에테르를 혼합한 혼합 용액을 준비하였다. 상기 혼합 용액 전체 중량을 기준으로 상기 폴리실라잔은 약 14 중량%였다. 상기 혼합 용액의 점도(viscosity)는 1cP 였다. 상기 혼합 용액을 기판에 도포한 후, 산화기체를 제공하며 경화시킴으로서 상기 기판 상에 절연막을 형성하였다. 이때, 경화에 의해 상기 절연막이 수축(shrinkage)되는 정도는 초기 부피의 약 19% 였으며, 절연막의 유전율(dielectric constant)은 약 4.0 이었다.

<61>        비교예

<62>        반도체 소자 제조용 조성물로서 중량 평균 분자량( $M_w$ )이 약 5100이고, 수평균 분자량( $M_n$ )이 약 1560이며, 분자량 분포도(MWD)가 약 3.1인 폴리실라잔을 제공하였다. 상기 폴리실라잔의 분자 사이즈(molecular size)는 평균적으로 약 4nm 로써, 전체 폴리실라잔 분자들의 사이즈는 약 0.7 내지 7nm 의 범위로 존재하였다. 상기 폴리실라잔 및 용매로써 디부틸 에테르를 혼합한 혼합 용액을 준비하였다. 상기 혼합 용액 전체 중량을 기준으로 상기 폴리실라잔은 약 12 중량%였다. 상기 혼합 용액의 점도(viscosity)는 1cP 였다. 상기 혼합 용액을 기판에 도포한 후, 산화기체를 제공하며 경화시킴으로서 상기 기판 상에 절연막을 형성하였다. 이때, 경화에 의해 상기 절연막이 수축(shrinkage)되는 정도는 초기 부피의 약 20% 였으며, 절연막의 유전율(dielectric constant)은 약 3.9 이었다.

<63>        상기 실시예 및 비교예에 의해 형성된 절연막들은 두께가 약 3000Å으로 거의 동일하였다. 상기 실시예 및 비교예에서 제조한 용액 내에 존재하는 폴리실라잔의 중량%는 각각 14 및 12로서, 폴리실라잔의 분자량에 따라 차이가 나긴 하였으나, 형성되는 절연막의 두께는 거의 동일하였다. 또한 점도는 1cP 로 동일하였다. 뿐만 아니라, 수축되는

정도가 각각 19% 및 20% 였으며, 유전율은 각각 4.0 및 3.9 로서 거의 동일한 특성을 나타내었다. 즉, 분자량, 분자 분포도 및 분자 크기를 제외한 막의 특성은 서로 거의 동일하게 나타났다.

<64> 그러나, 상기 실시예에 의해 형성된 막에서 검출되는 디펙트의 개수가 약 수십 내지 수백개인 것에 비해, 상기 비교예에 의해 형성된 막에서 검출되는 디펙트의 개수는 약 수백 내지 수천개였다. 따라서, 상기 실시예에 의해 형성된 막의 디펙트 개수는 상기 비교예에 의해 형성된 막의 디펙트의 개수의 약 10% 미만이었다.

<65> 즉, 폴리실라잔의 분자량이 클수록 용매에 용해되는 정도가 감소하여 입자로서 용액 내에 잔존하는 확률이 증가하였다.

<66> 실험예

<67> 도 1a 내지 도 1e는 본 발명의 실험예에 따른 반도체 소자의 트렌치 산화막 형성방법을 설명하기 위한 단면도이다.

<68> 도 1a 및 도 1b를 참조하면, 실리콘 기판(200)상에 패드 산화막(202), 제1 질화막(204) 및 고온 산화막(high temperature oxide layer)(206)을 증착하고 사진 공정을 거쳐 복수개의 트렌치(trench)(210)를 형성하였다. 이어서, 상기 트렌치(210)의 노출된 부분을 산화 분위기에서 열처리하여 노출된 실리콘과 산화기체와의 산화 반응에 의해 상기 트렌치(210)의 바닥면과 측벽을 포함하는 내면 상에 트렌치 내벽산화막(215)을 형성하였다. 상기 트렌치 내벽산화막(215)이 형성된 트렌치(210)를 포함한 기판(200)전면에 내부에 제2 질화막(225)을 증착하였다.

- <69> 도 1c를 참조하면, 스핀 코팅에 의해 상기 실시예와 동일한 퍼하이드로 폴리실라잔 및 디부틸 에테르로 이루어진 용액을 트렌치(210)를 포함한 기판 전면에서 제공하여 제1막(226)을 형성하였다.
- <70> 도 1d를 참조하면, 상기 제1막(226)에 O<sub>2</sub> 및 H<sub>2</sub>O 등의 산화기체를 제공하며 약 700℃로 경화시켜 제1 산화막(227)을 형성하였다. 이때, 상기 제1막(226)은 수축되면서 밀도가 증가하게 되어 초기의 높이보다 낮아졌다. 따라서, 상기 트렌치(210) 내부를 조밀하게 매립할 수 있었다.
- <71> 도 1e를 참조하면, 상기 제1 산화막(227)에 대해 에치백을 진행하여 상기 제1 산화막(227), 상기 트렌치(210) 내부를 제외한 기판(200)상의 제2 질화막(225), 고온 산화막(206) 및 제1 질화막(204)을 순차적으로 제거함으로써 상기 트렌치(210) 내부에만 제1 산화막(227)이 존재하도록 트렌치 산화막(230)을 형성하였다. 기판에 잔류하는 상기 패드 산화막(202)을 제거한다.
- <72> 도 2a는 본 발명의 실험예에 의한 반도체 소자의 평면도이다.
- <73> 도 2a를 참조하면, 반도체 기판 상에 일 방향으로 게이트 라인(게이트 전극)(238)이 진행하고, 상기 게이트 라인(238)과 직교하는 방향으로 비트 라인(280)이 진행한다. 상기 비트라인(280)은 하부의 도전 영역과 전기적으로 연결되도록 비트라인 콘택(제1 콘택 플러그)(275a)을 구비한다. 또한, 상기 반도체 기판의 또 다른 도전 영역은 후속에서 형성될 커패시터와 전기적으로 연결되도록 제2 콘택 플러그(275b)를 구비한다.
- <74> 도 2b 내지 도 2j는 본 발명의 실험예에 의한 반도체 소자의 제조방법을 설명하기 위한 도 2a의 AA' 방향에 대한 단면도이다.



<75> 도 2b를 참조하면, 상기 트렌치 산화막(230)의 형성으로 인해 복수개의 필드 영역 및 액티브 영역(미도시)이 정의되었다. 상기 액티브 영역 및 필드 영역이 정의된 기판(200) 상에 산화막을 형성한 후, 상기 산화막 상에 폴리실리콘을 증착하여 폴리실리콘층을 형성하였다. 상기 폴리실리콘층을 고농도의 도핑시킨 후, 사진 공정으로 상기 폴리실리콘층 및 산화막을 패터닝하여 게이트 산화막(235) 및 도핑된 폴리실리콘막 패턴(236)으로 이루어진 게이트 전극(238)을 형성하였다. 상기 게이트 전극(238)은 각각의 게이트 전극 간격이 약 20nm로 형성되었다.

<76> 이온주입 공정을 통해 상기 게이트 전극(238) 양측의 기판(200) 표면에 소오스/드레인 영역(240)을 형성하였다. 따라서, 게이트 전극 및 소오스/드레인 영역(240)으로 이루어진 트랜지스터가 완성되었다. 상기 게이트 전극(238) 및 기판(200) 상에 실리콘 옥사이드나 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 게이트 전극(238)의 측벽 상에 게이트 스페이서(250)를 형성하였다.

<77> 도 3a는 본 발명의 실험예에 의한 겹 매립 방법을 설명하기 위한 개략적인 단면도이다.

<78> 도 2c 및 도 3a를 참조하면, 상기 트랜지스터가 형성된 기판 상에 상기 실시예의 조성물과 동일한 용액을 제공하여 제2막(260)을 형성하였다. 이때, 상기 조성물을 이루고 있는 저분자량 폴리실라잔 분자(300)의 크기는 평균적으로 약 2nm이다. 따라서, 상기 저분자량 폴리실라잔 분자(300)들에 대한 상기 트랜지스터 사이의 간격은 약 1:10 이상으로서 상기 저분자량 폴리실라잔 분자(300)들이 상기 트랜지스터 사이의 겹으로 투입되어 상기 트랜지스터 사이를 매립하기에 충분하였다. 특히, 상기 저분자량 폴리실라잔의 분자량 분포도가 2.2로써 상기 저분자량 폴리실라잔 분자(300)들 중 상대적으로 큰

크기의 분자 사이에 작은 분자 크기의 폴리실라잔 분자들이 투입되어 공극 없이 매립하였다.

<79> 도 2d를 참조하면, 상기 제2막(260)에 산화기체를 제공하며 경화시켜 산화막을 형성하였다. 이때, 상기 제2막(260)은 수축되면서 밀도가 증가하게 되어 초기의 높이보다 낮아졌다. 따라서, 상기 트랜지스터들 사이를 조밀하게 매립하면서 형성되었다. 상기 산화막을 통상의 화학적 기계적 평탄화(Cheical Mechanical Polishing; 이하, "CMP"라고 한다.) 방법에 의해 평탄화하여 제1 층간 절연막(265)을 형성하였다.

<80> 도 2e를 참조하면, 상기 제1 층간 절연막(265) 상에 포토레지스트를 도포하였다. 상기 포토레지스트를 통상의 사진 식각 공정에 의해 패터닝하여 식각하고자 하는 층간 절연막(265)의 일부 영역만을 노출시키는 포토레지스트 패턴(미도시)을 형성하였다. 상기 포토 레지스트 패턴을 식각 마스크로 이용하여 상기 제1 층간 절연막(265)의 노출된 부분을 식각함으로써 제1 콘택홀(270a) 및 제2 콘택홀(270b)을 형성하였다. 상기 제1 콘택홀(270a) 및 제2 콘택홀(270b) 내에 잔존할 수 있는 불순물 등을 제거하기 위해 상기 제1 콘택홀(270a) 및 제2 콘택홀(270b)을 세정하였다. 이때, 상기 제1 층간 절연막(265)은 조밀하게 형성되어 있으므로, 상기 세정에 의해 침식될 위험을 감소시킬 수 있었다.

<81> 도 2f를 참조하면, 상기 제1 콘택홀(270a) 및 제2 콘택홀(270b)을 포함한 결과물 상에 도전성 물질을 도포하여 상기 제1 콘택홀(270a) 및 제2 콘택홀(270b)을 매립하도록 도전성 물질막을 형성하였다. 통상의 CMP 방식에 의해 상기 도전성 물질막을 평탄화시키며, 상기 제1 층간 절연막(265)의 상부면이 노출되기까지 에치백(etch back)하였다. 따라서, 상기 도전성 물질이 상기 제1 콘택홀(270a) 및 제2 콘택홀(270b) 내에만 존재하는 제1 콘택 플러그(275a) 및 제2 콘택 플러그(275b)가 형성되었다.

- <82> 도 2g를 참조하면, 상기 제1 콘택 플러그(275a) 및 제2 콘택 플러그(275b)를 포함한 상기 제1 층간 절연막(265) 상에 금속 배선을 형성하여 상기 제1 콘택 플러그(275a)와 연결되는 비트라인(280)을 형성하였다.
- <83> 도 2h를 참조하면, 상기 비트라인(280)을 매립하도록 저분자량 폴리실라잔을 포함하는 상기 실시예와 동일한 조성물을 이용하여 막을 형성하고 산화기체를 제공하며 경화시키거나, 통상적인 절연물질을 사용하여 제2 층간 절연막(285)을 형성하였다.
- <84> 도 2i를 참조하면, 상기 제2 층간 절연막(285)의 일부 영역을 식각하고 상기 제2 층간 절연막(285)을 식각하여 노출된 상기 제1 층간 절연막(265)을 차례로 식각하여 상기 제2 콘택 플러그(275b)의 상부면을 노출시킴으로서 제3 콘택홀(290)을 형성하였다. 상기 제3 콘택홀(290)을 형성하는 공정 진행 중 발생하는 파티클(particle) 및 분순물들을 제거하기 위해, 상기 제3 콘택홀(290) 내부를 세정하였다.
- <85> 도 2j를 참조하면, 상기 제3 콘택홀(290)을 매립하도록 도전성 물질을 상기 제2 층간 절연막(285) 상에 도포하고, 통상의 CMP 방식에 의해 평탄화하여 제3 콘택 플러그(295)를 형성하였다.
- <86> 비교실험예
- <87> 도 4a는 본 발명의 비교실험예에 의한 반도체 소자의 평면도이다.
- <88> 도 4a를 참조하면, 반도체 기판 상에 일 방향으로 게이트 라인(게이트 전극)(438)이 진행하고, 상기 게이트 라인(438)과 직교하는 방향으로 비트 라인(480)이 진행한다. 상기 비트라인(480)은 하부의 도전 영역과 전기적으로 연결되도록 비트라인 콘택(제1 콘

택 플러그)(475a)을 구비한다. 또한, 상기 반도체 기판의 또 다른 도전 영역은 후속에 형성될 커패시터와 전기적으로 연결되도록 제2 콘택 플러그(475b)를 구비한다.

<89> 도 4b 내지 도 4j는 본 발명의 비교실험예에 의한 반도체 소자의 제조방법을 설명하기 위한 도 4a의 BB'방향에 대한 단면도이다.

<90> 도 4b를 참조하면, 통상의 셀로우 트렌치 분리(Shallow Trench Isolation;STI) 공정에 의해 실리콘 기판(400)에 트렌치를 형성하고, 상기 트렌치를 산화막으로 매립함으로써 필드 영역(430)을 형성하였다. 상기 필드 영역(430)은 상기 비교예의 조성물을 이용하여 상기 실험예와 동일한 방법에 의해 형성하였다. 또한, 상기 필드 영역(430)의 형성과 동시에 상기 필드 영역(430)에 의해 복수개의 액티브 영역(미도시)이 정의되었다.

<91> 상기 액티브 영역 및 필드 영역(430)이 정의된 기판(400) 상에 산화막을 형성한 후, 상기 산화막 상에 폴리실리콘을 증착하여 폴리실리콘층을 형성하였다. 상기 폴리실리콘층을 고농도로 도핑시킨 후, 사진 공정으로 상기 폴리실리콘층 및 산화막을 패터닝하여 게이트 산화막(435) 및 도핑된 폴리실리콘막 패턴(436)으로 이루어진 게이트 전극(438)을 형성하였다. 상기 게이트 전극(438)은 각각의 게이트 전극 사이의 간격이 약 20nm 로 형성되었다.

<92> 이온주입 공정을 통해 상기 게이트 전극(438) 양측의 기판(400) 표면에 소오스/드레인 영역(440)을 형성하였다. 따라서, 게이트 전극 및 소오스/드레인 영역(440)으로 이루어진 트랜지스터가 완성되었다. 상기 게이트 전극(438) 및 기판(400) 상에 실리콘 옥사이드나 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 게이트 전극(438)의 측벽 상에 게이트 스페이서(450)를 형성하였다.

- <93> 도 3b는 본 발명의 비교실험예에 의한 갭 매립 방법을 설명하기 위한 개략적인 단면도이다.
- <94> 도 3b 및 도 4c를 참조하면, 상기 트랜지스터가 형성된 기판 상에 상기 비교예와 동일한 고분자량 폴리실라잔을 포함하는 조성물로 이루어진 용액을 스핀 코팅하여 SOG(spin on glass)막(460)을 형성하였다. 상기 비교예의 조성물을 이루고 있는 고분자량 폴리실라잔 분자(320)의 평균 분자 크기는 약 4 nm 이상이다. 따라서, 상기 고분자량 폴리실라잔 분자에 대한 상기 게이트 전극 간격의 비는 약 1:5를 초과한다. 또한, 상기 고분자 폴리실라잔 분자의 분자량 분포도가 약 3.1이다. 따라서, 상기 고분자량 폴리실라잔 분자(320)들은 상기 기판 상에 형성된 트랜지스터 사이에 충분히 공급되지 못한다.
- <95> 상기 고분자량 폴리실라잔 분자(320)들이 상기 트랜지스터 사이에 도입되었을 때, 분자 크기가 크기 때문에, 분자들 사이에 공극(330)이 형성된다. 비록, 분자량 분포도가 약 3.1로서 상대적으로 작은 분자들이 큰 분자들 사이에 형성된 공극을 메울 수 있을 것으로 사료되나, 상기 고분자량 폴리실라잔 분자들이 크기에 따라 순차적으로 도입되는 것이 아니라, 무작위로 혼합된 상태에서 도입되므로, 다공성의 막을 형성할 뿐 아니라, 막질도 조밀하지 못하다.
- <96> 즉, 크기가 작은 폴리실라잔 분자가 트랜지스터 사이에 먼저 도달되는 때에는 상부에는 크기가 큰 폴리실라잔 분자가 도입되어 두께별로 밀도가 달라지게 된다.
- <97> 도 4d를 참조하면, 상기 SOG막(460)에 O<sub>2</sub> 및 H<sub>2</sub>O와 같은 산화기체를 제공하며 경화시켜 산화막을 형성하였다. 이때, 상기 SOG막(460)은 수축되면서 밀도가 증가하게 되어 초기의 높이보다 낮아졌다. 상기 산화막을 통상의 CMP 방법에 의해 평탄화하여 제1 층간 절연막(465)을 형성하였다.

<98> 도 4e를 참조하면, 상기 제1 층간 절연막(465) 상에 포토레지스트를 도포하였다. 상기 포토레지스트를 통상의 사진 식각 공정에 의해 패터닝하여 식각하고자 하는 제1 층간 절연막(465)의 일부 영역만을 노출시키는 포토레지스트 패턴(미도시)을 형성하였다. 상기 포토 레지스트 패턴을 식각 마스크로 이용하여 상기 제1 층간 절연막(465)의 노출된 부분을 식각함으로써 제1 콘택홀(470a) 및 제2 콘택홀(470b)을 형성하였다. 상기 제1 콘택홀(470a) 및 제2 콘택홀(470b) 내에 잔존할 수 있는 불순물 등을 제거하기 위해 상기 제1 콘택홀(470a) 및 제2 콘택홀(470b)을 세정하였다. 이때, 상기 제1 층간 절연막(465)은 약 4 nm 이상의 분자 크기가 큰 폴리실리잔을 사용하여 조밀하게 형성되지 못하였으므로 공극률이 높은 다공성의 막이다. 따라서, 인접한 제2 콘택홀(270b) 세정 도중에 상기 제1 층간 절연막(465)의 일부가 식각된 침식 영역(265b)이 발생한다. 또한, 상기 제1 층간 절연막(465)의 일부가 상기 세정에 의해 침식되어 통로(265a)가 형성되어 인접한 콘택홀과 연결될 수 있으며, 인접한 도전성 패턴들을 노출시킬 수도 있다.

<99> 도 4f를 참조하면, 상기 제1 콘택홀(470a) 및 제2 콘택홀(470b)을 포함한 결과물 상에 도전성 물질을 도포하여 상기 제1 콘택홀(470a) 및 제2 콘택홀(470b)을 매립하도록 도전성 물질막을 형성하였다. 통상의 CMP 방식에 의해 상기 도전성 물질막을 평탄화시키며, 상기 제1 층간 절연막(465)의 상부면이 노출되기까지 에치백(etch back)하였다. 상기 제2 콘택홀(470b) 내에 도전성 물질을 매립시키면, 상기 제1 층간 절연막(465)의 내부가 침식되어 형성된 통로(465a)까지 도전성 물질로 매립되어 제2 콘택 플러그(470b)들 사이에 브릿지(475)가 발생한다. 따라서, 인접한 콘택 플러그와 쇼트성 불량을 야기하게 된다. 즉, 하나의 콘택에 대해 선택적으로 전기적 신호를 인가할 때, 인접한 콘택까지 상기 브릿지(475)에 의해 신호가 인가되어 오작동을 유발하게 된다.

- <100> 도 4g를 참조하면, 상기 제1 콘택 플러그(475a)를 포함한 상기 제1 층간 절연막(465) 상에 금속 배선을 형성하여 상기 제1 콘택 플러그(475a)와 연결되는 비트라인(480)을 형성하였다.
- <101> 도 4h를 참조하면, 상기 비트라인(480)을 매립하도록 상기 비교예와 동일한 고분자량 폴리실라잔을 포함하는 조성물을 이용하여 막을 형성하고 산화기체를 제공하며 경화시키거나 통상의 절연물질을 사용하여 제2 층간 절연막(485)을 형성하였다.
- <102> 도 4i를 참조하면, 상기 제2 층간 절연막(485)의 일부 영역을 식각하여 상기 제2 콘택 플러그(475b)의 상부면을 노출시킴으로서 제3 콘택홀(490)을 형성하였다.
- <103> 상기 식각 공정 중에 발생하는 파티클 및 불순물을 제거하기 위해, 상기 제3 콘택홀(490) 내부를 세정하였다. 상기 제2 층간 절연막(485)이 고분자량의 폴리실라잔을 이용하여 형성한 막일 경우에는 상기 세정 도중에 일부 침식될 수 있다.
- <104> 도 4j를 참조하면, 상기 제2 콘택홀(490)을 매립하도록 도전성 물질을 상기 제2 층간 절연막(485) 상에 도포하고, 통상의 CMP 방식에 의해 평탄화하여 제2 콘택 플러그(495)를 형성하였다.
- <105> 도 5a는 본 발명의 실험예에 의해 제조된 제1 층간 절연막 단면의 투과 전자 현미경(TEM)사진이고, 도 5b는 본 발명의 비교실험예에 의해 제조된 제1 층간 절연막 단면의 투과 전자 현미경(TEM)사진이다.
- <106> 도 5a를 참조하면, 실험예의 제1 층간 절연막(265)은 분자량이 작고, 분자 크기가 약 2 nm 인 저분자량 폴리실라잔을 이용하여 형성함으로서 막질이 균일하며 밀도가 조밀한 것으로 나타났다. 이는 작은 분자 크기를 갖는 폴리실라잔이 트랜지스터 사이의 좁은

공간에 제공되기 쉽기 때문이다. 또한, 상기 저분자량 폴리실라잔은 분자량 분포도가 약 2.2 인 것으로서 분자들의 크기에 편차가 있더라도 상대적으로 작은 크기의 분자가 큰 크기의 분자 사이에 도입되어 공극을 제거하게 된다.

<107> 도 5b를 참조하면, 비교실험예에서 사용된 고분자량 폴리실라잔은 분자 크기가 약 4 nm 인 것으로서 트랜지스터 사이에 조밀하게 매립되기에는 상대적으로 분자가 크다. 또한, 분자량 분포도는 약 3.1로서, 상기 비교실험예의 제1 층간 절연막(265)은 일부는 다공성의 막이 형성될 수 있으며, 일부는 조밀한 막이 형성되어 전체적으로 층간 절연막의 막이 균일하지 못하게 된다.

<108> 도 6은 본 발명의 실험예 및 비교실험예에 의해 제조된 반도체 소자 256M 당 비트 패일(bit fail)의 발생 개수를 나타낸 그래프이다.

<109> 도 6을 참조하면, 실험예 및 비교실험예에 의해 제조된 256M 반도체 소자들에 대해 상기 반도체 소자 내에 존재하는 콘택 플러그의 불량 개수를 측정하였다. 상기 256M 반도체 소자들은 하나의 웨이퍼로부터 제공된 소자들이다. 상기 실험예에서 불량으로 판정된 콘택 플러그의 개수는 검사된 각각의 반도체 소자들에 대해 약 5 개 정도로 거의 균일하게 나타났다.

<110> 반면, 비교실험예에서 불량으로 판정된 콘택 플러그의 개수는 검사된 반도체 소자 별로 편차가 컸다. 최소 불량 개수는 약 5개였으며, 최대 불량 개수는 약 50개였다. 따라서, 공정의 신뢰도를 확보할 수 없었다.

<111> 상기 결과로부터 알 수 있듯이, 약 3000 이하의 중량 평균 분자량을 갖는 저분자량 폴리실라잔을 사용하여 좁은 갭(gap)을 매립하면, 고밀도의 박막을 형성할 수 있다. 상



기 저분자량 폴리실라잔은 용매에 대한 용해도(solubility)가 높으므로, 겔화(gellation) 되지 않고 막내에 존재하는 불순 입자(particle)의 양도 줄일 수 있었다. 계산 결과 중량 평균 분자량이 약 1800 인 폴리실라잔은 약 2nm 의 분자 크기를 갖고 있다. 따라서, 일반적인 고분자량 폴리실라잔으로 형성한 박막은 좁은 갭 내부에 다공성의 막을 형성하는 반면, 저분자량 폴리실라잔(Low Molecular weight)은 공극이 형성되지 않고 조밀하게 형성되는 것을 알 수 있었다.

<112> 반도체 소자 내에서 층간 절연막으로 사용한 결과, 인접한 콘택 플러그 간의 쇼트성 불량이 감소하였으며 공정마다 거의 동일한 결과를 나타낼 정도로 신뢰성이 높으므로, 안정적인 전기적 특성을 나타내었다.

#### 【발명의 효과】

<113> 상술한 바와 같이 본 발명에 의하면, 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 저분자량의 퍼하이드로 폴리실라잔을 반도체 소자 제조용 조성물을 제공하고, 상기 조성물을 재료로 하여 반도체 소자를 제조한다.

<114> 이와 같이 분자량이 작고, 일정 분자량 분포도를 갖는 폴리실라잔을 사용함으로써, 조밀하고 균일한 막을 형성할 수 있다.

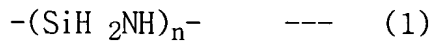
<115> 따라서, 상기 막을 층간 절연막으로 사용하게 되면, 콘택홀을 형성하고 세정하는 공정을 진행하여도 상기 층간 절연막이 침식되지 않으므로, 콘택홀 간 상호 격리성이 향상된다. 따라서, 상기 콘택홀을 도전성 물질로 매립하여 콘택 플러그를 형성하면 외부로 누설되는 전류가 방지되어 반도체 소자의 안정성이 향상된다.

<116> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 【특허청구범위】

## 【청구항 1】

중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3이며 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔을 포함하는 반도체 소자 제조용 조성물.



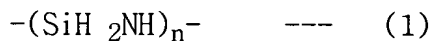
(상기식 (1)에서, n은 양의 정수를 의미한다.)

## 【청구항 2】

제1항에 있어서, 상기 조성물은 전체 중량 중에 퍼하이드로 폴리실라잔을 5 내지 30 중량% 포함하고, 용매를 70 내지 95 중량% 포함하는 것을 특징으로 하는 반도체 소자 제조용 조성물.

## 【청구항 3】

갭이 있는 기판 상에 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3이며 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포하여 막을 형성하는 반도체 소자의 막 형성방법.



(상기식 (1)에서, n은 양의 정수를 의미한다.)

## 【청구항 4】

제3항에 있어서, 상기 용액은 상기 퍼하이드로 폴리실라잔을 5 내지 30 중량% 포함하고, 용매를 70 내지 95 중량% 포함하는 것을 특징으로 하는 반도체 소자의 막 형성방법.

## 【청구항 5】

제3항에 있어서, 상기 막은 스펀온 글래스 방식으로 도포하는 것을 특징으로 하는 반도체 소자의 막 형성방법.

## 【청구항 6】

제3항에 있어서, 상기 막에 산화기체를 제공하고 열을 가하여 실리콘 산화막으로 전환시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 막 형성방법.

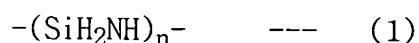
## 【청구항 7】

제6항에 있어서, 상기 열은 600℃ 이상으로 제공되는 것을 특징으로 하는 반도체 소자의 막 형성방법.

## 【청구항 8】

i) 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 복수개의 제1 도전성 패턴을 형성하는 단계;

ii) 상기 제1 도전성 패턴 사이를 매립하도록 상기 기판 상에 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3이며 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포하여 막을 형성하는 단계;



(상기식 (1)에서, n은 양의 정수를 의미한다.)

iii ) 상기 막에 산화기체를 제공하고 열을 가하여 제1 실리콘 산화막으로 전환시키는 단계;

iv) 상기 제1 실리콘 산화막의 일부를 식각하여 상기 액티브 영역의 상부면을 노출시키는 제1 개구부를 형성하는 단계; 및

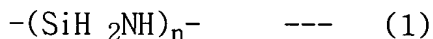
v) 상기 제1 개구부를 도전성 물질로 매립하여 제1 콘택을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

#### 【청구항 9】

제8항에 있어서, 상기 i) 단계의 필드 영역은

반도체 기판에 트렌치를 형성하는 단계;

상기 트렌치를 매립하도록 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3이며 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포하여 막을 형성하는 단계;



(상기식 (1)에서, n은 양의 정수를 의미한다.)

상기 막에 산화기체를 제공하고 600℃ 이상의 열을 가하여 실리콘 산화막으로 전환시키는 단계; 및

상기 실리콘 산화막이 상기 트렌치 내에만 존재하도록 연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 10】

제8항에 있어서, 상기 iv) 단계를 진행하고, 상기 제1 개구부를 세정하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 11】

제8항에 있어서, 상기 제1 콘택과 연결되는 제2 도전성 패턴을 형성하는 단계;

상기 제2 도전성 패턴을 포함한 기판 상에 중량 평균 분자량이 300 내지 3000이고 분자량 분포도가 1.8 내지 3인 하기식 (1)로 표현되는 퍼하이드로 폴리실라잔 및 용매로 이루어진 용액을 도포하여 막을 형성하는 단계;



( 상기식 (1)에서, n은 양의 정수를 의미한다.)

상기 막에 산화기체를 제공하고 열을 가하여 제2 실리콘 산화막으로 전환시키는 단계;

상기 제2 실리콘 산화막의 일부를 식각하여 제1 실리콘 산화막을 연속적으로 식각하여 상기 기판의 상부면을 노출시키는 제2 개구부를 형성하는 단계; 및

상기 제2 개구부를 도전성 물질로 매립하여 제2 콘택을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조방법.

## 【청구항 12】

제11항에 있어서, 상기 제2 개구부를 세정하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 13】**

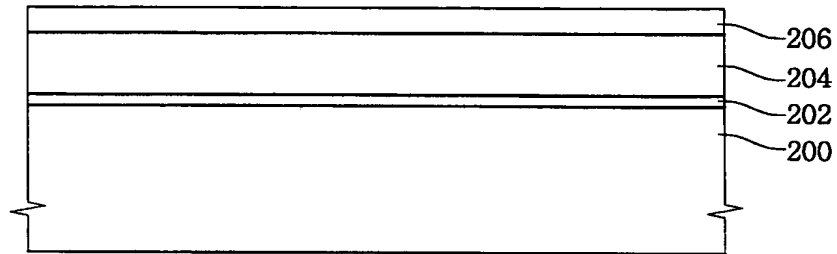
제8항에 있어서, 상기 도전성 패턴들 사이의 간격은 약 20nm 이하인 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 14】**

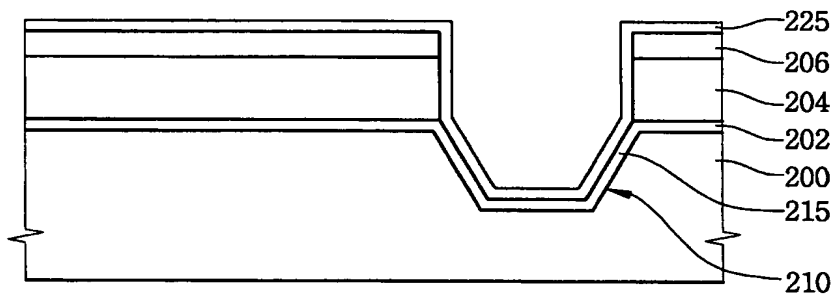
제13항에 있어서, 상기 퍼하이드로 폴리실라잔에 대한 도전성 패턴 사이의 간격의 비는 약 1:5 이상인 것을 특징으로 하는 반도체 소자의 제조방법.

## 【도면】

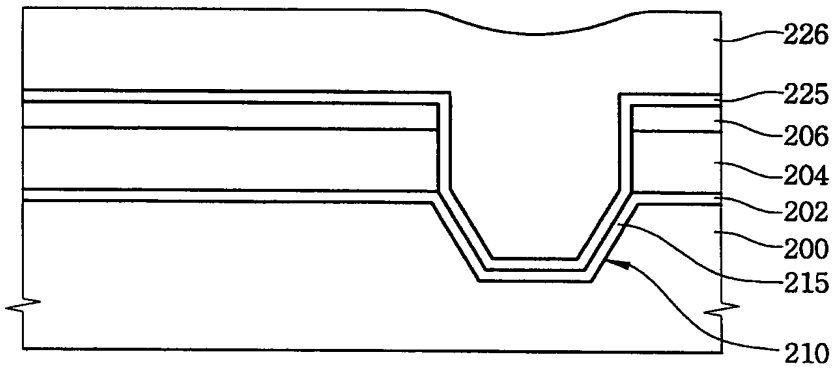
【도 1a】



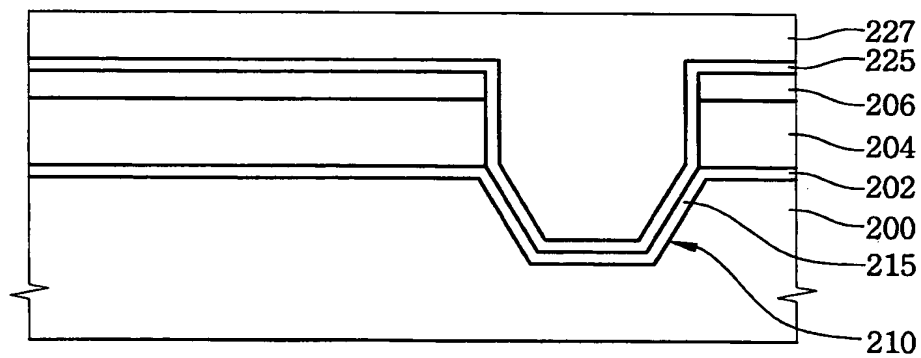
【도 1b】



【도 1c】

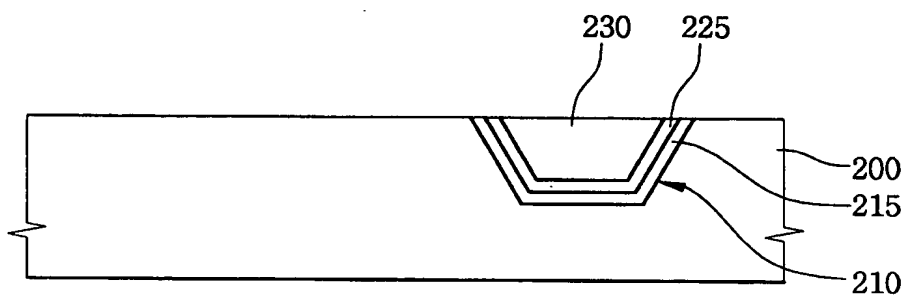


【도 1d】

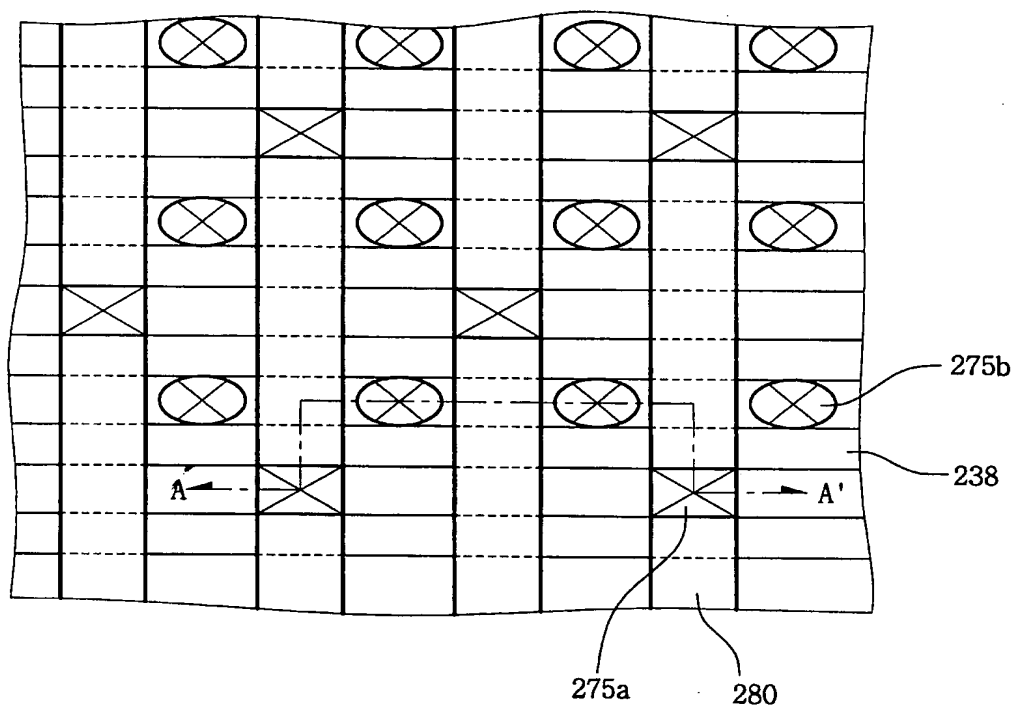




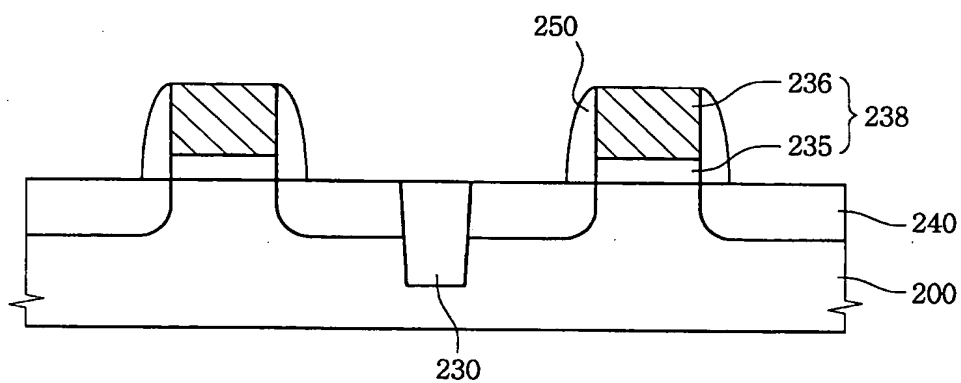
【도 1e】



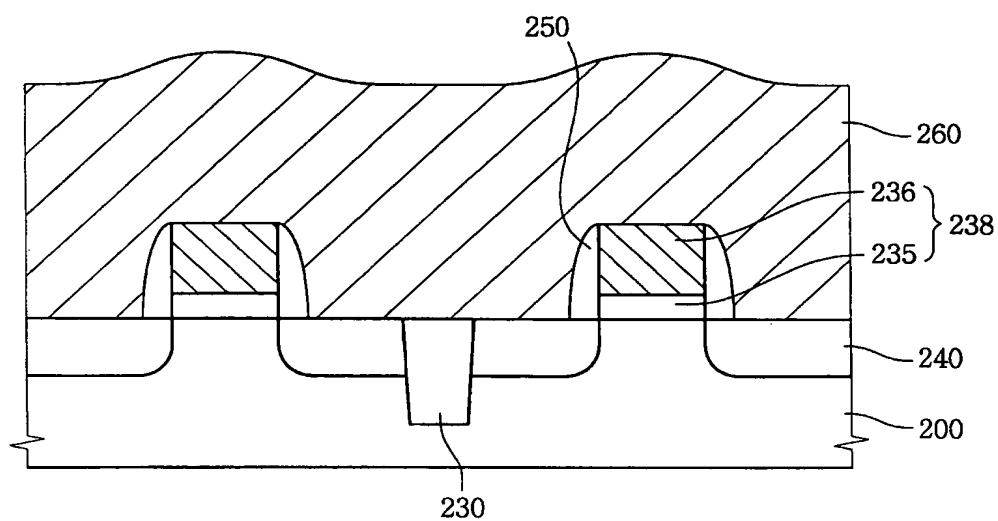
【도 2a】



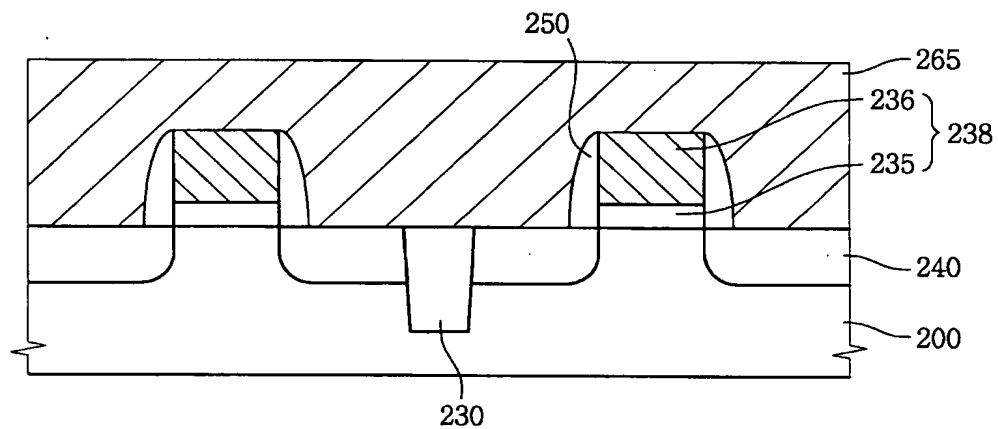
【도 2b】



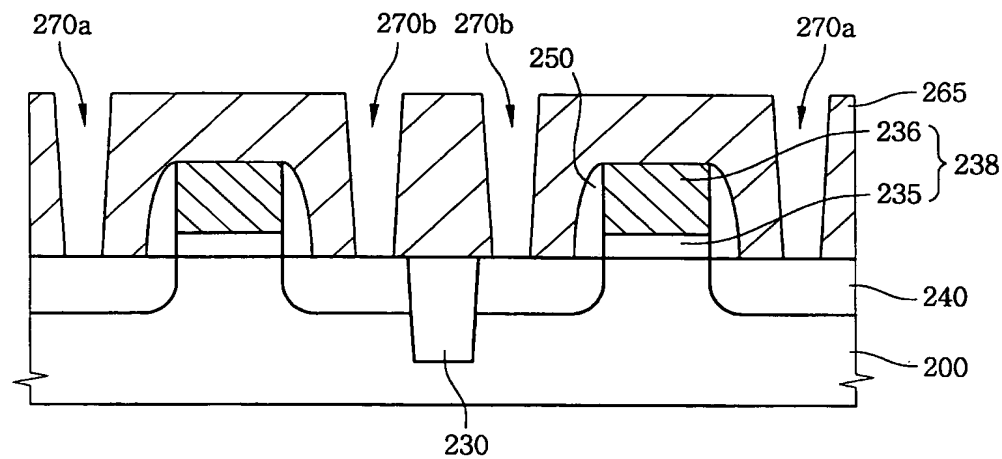
【도 2c】



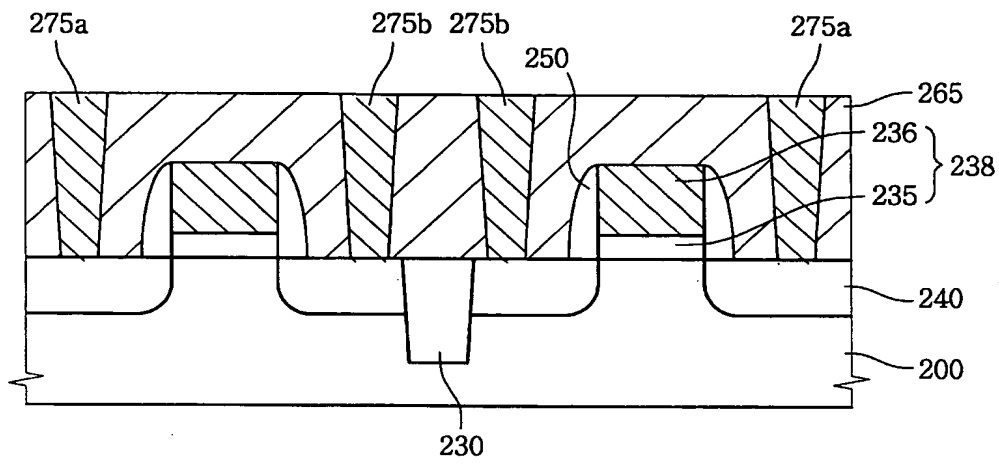
【도 2d】



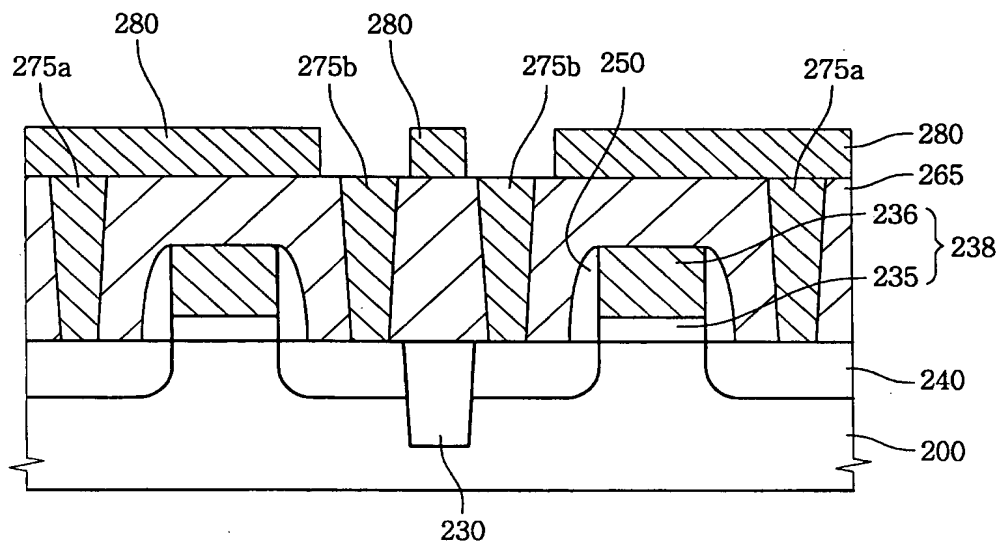
【도 2e】



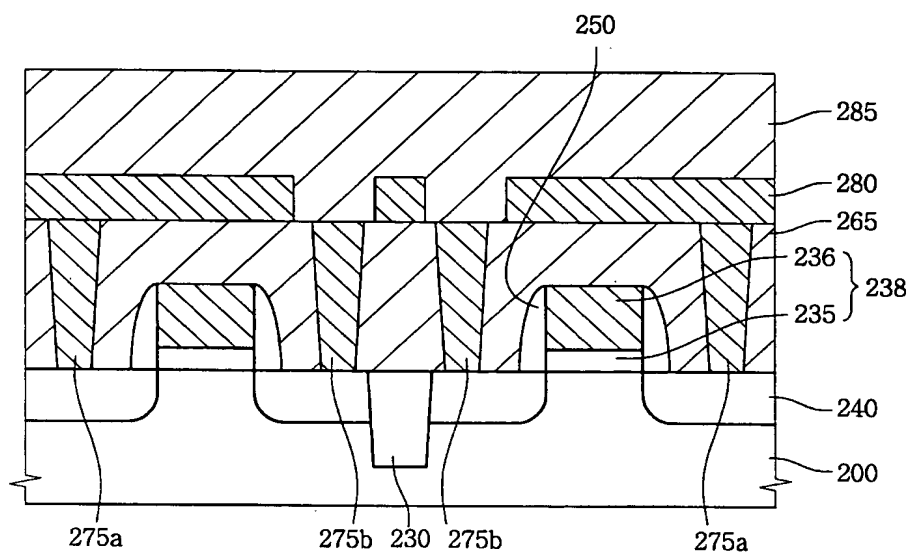
【도 2f】



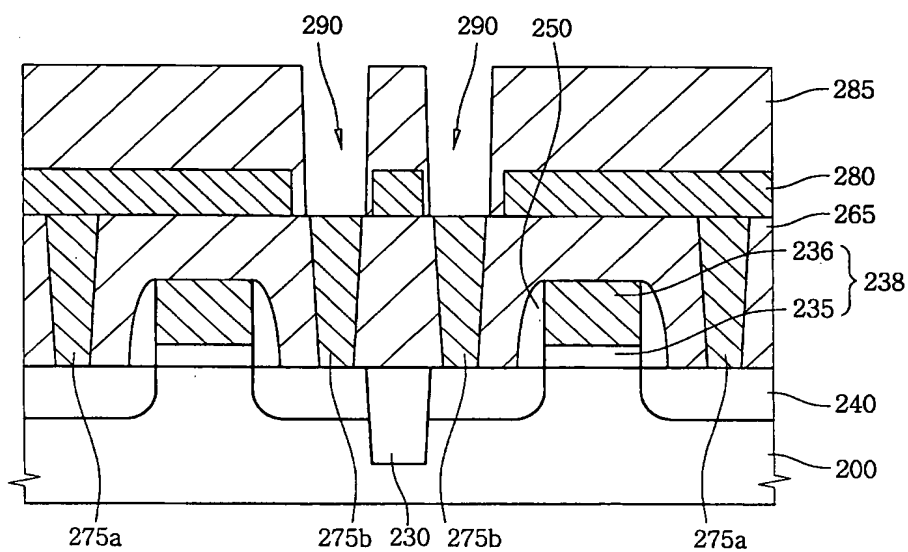
【도 2g】



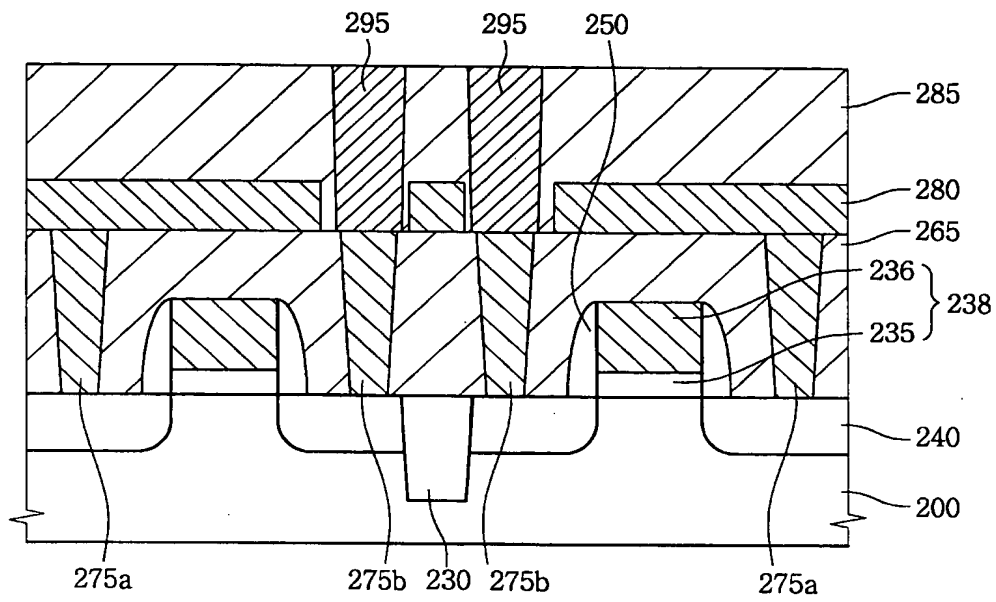
【도 2h】



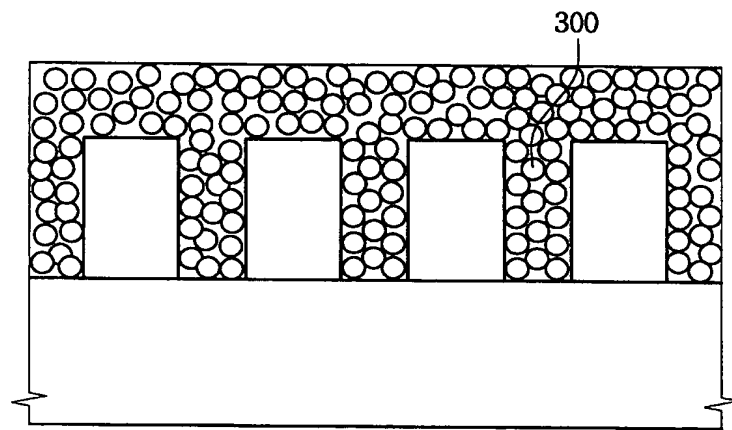
【도 2i】



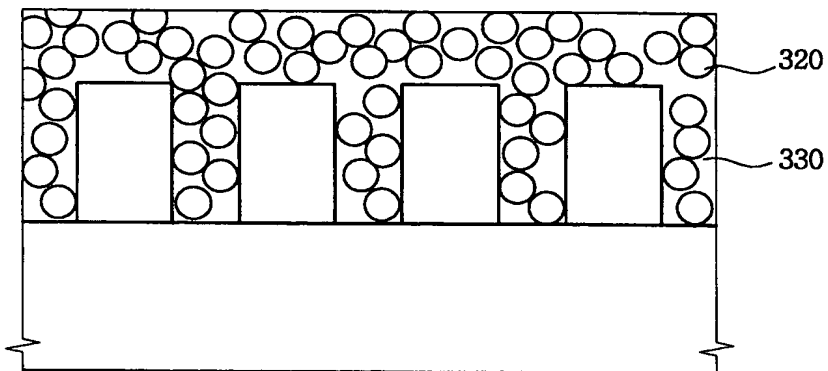
【도 2j】



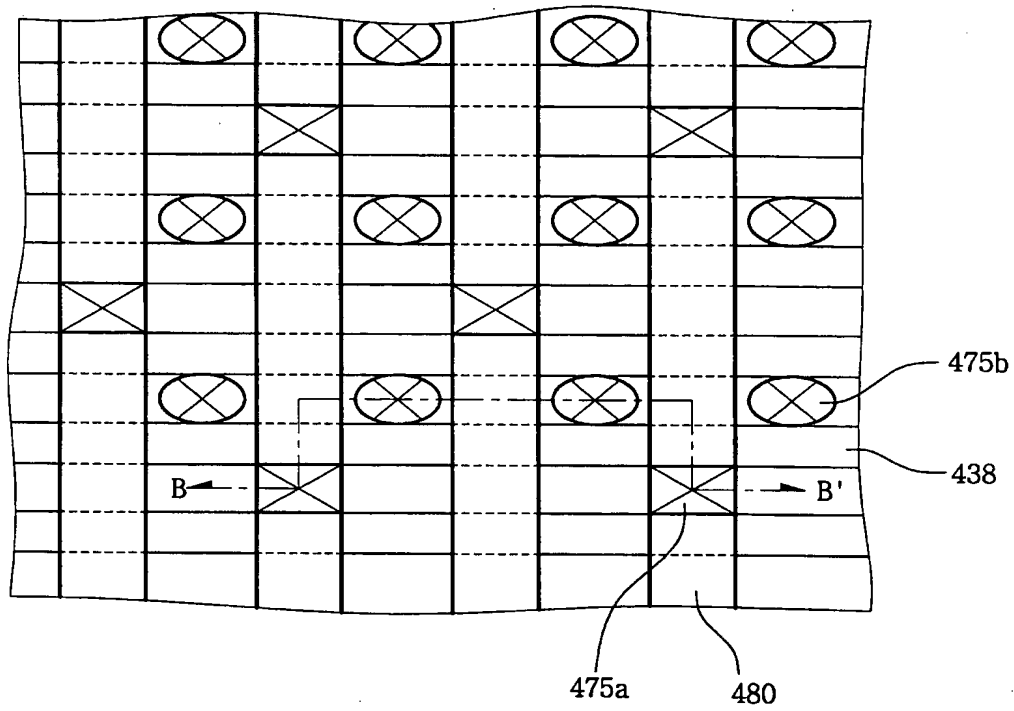
【도 3a】



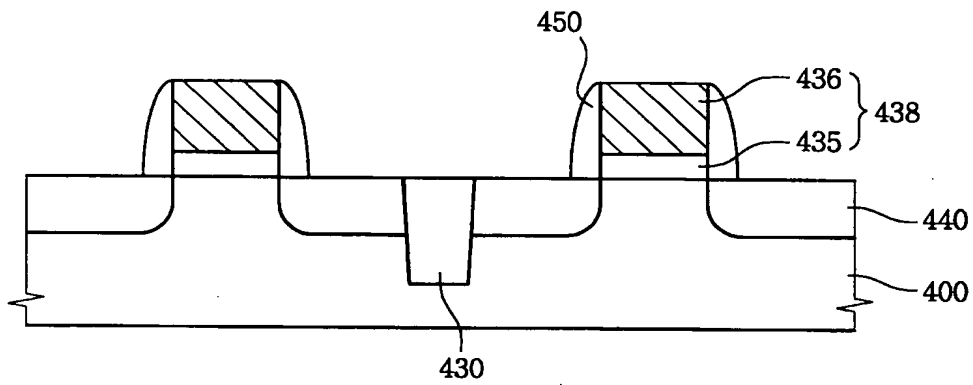
【도 3b】



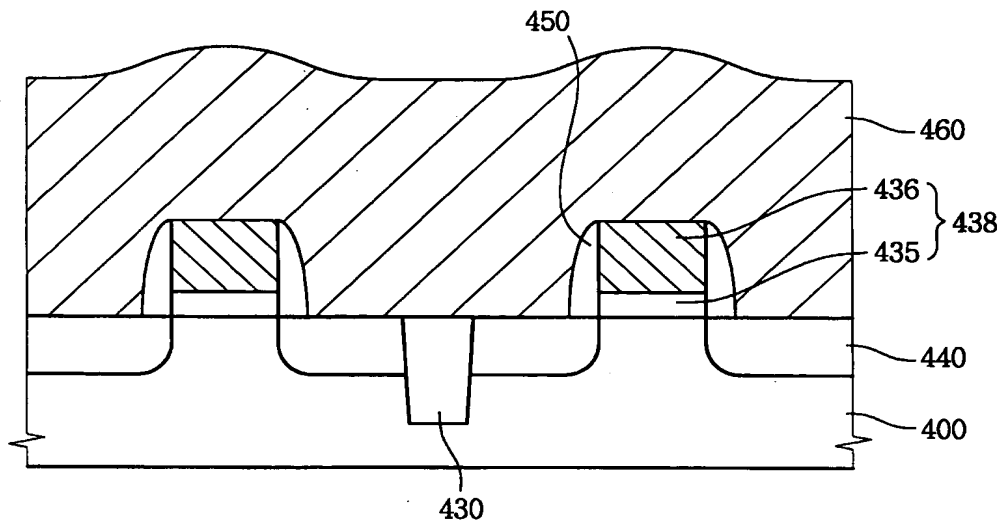
【도 4a】



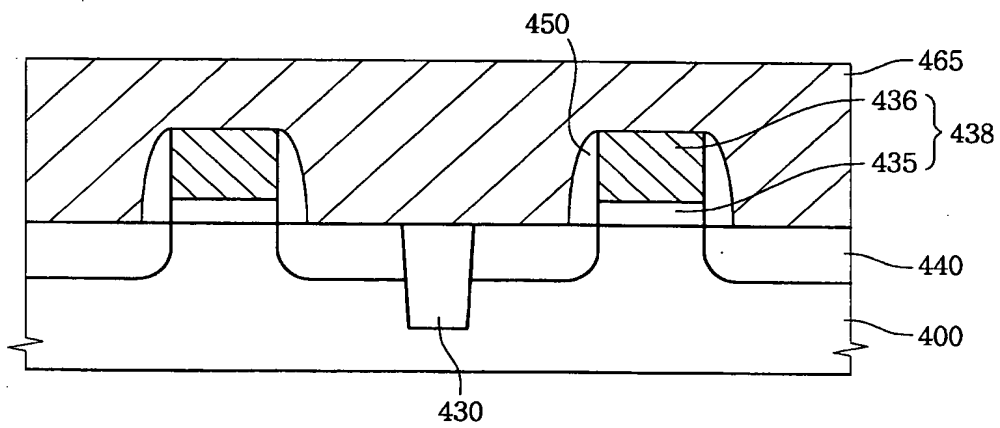
【도 4b】



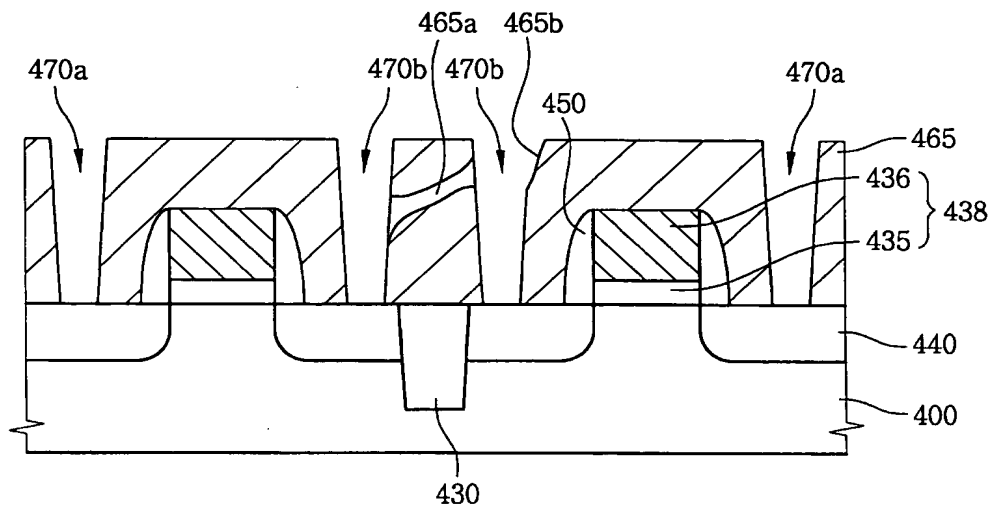
【도 4c】



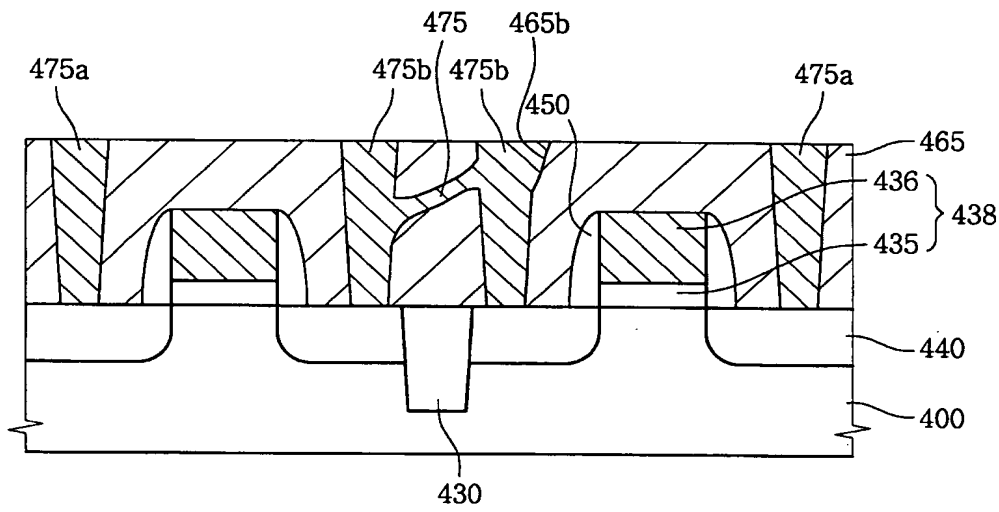
【도 4d】



【도 4e】

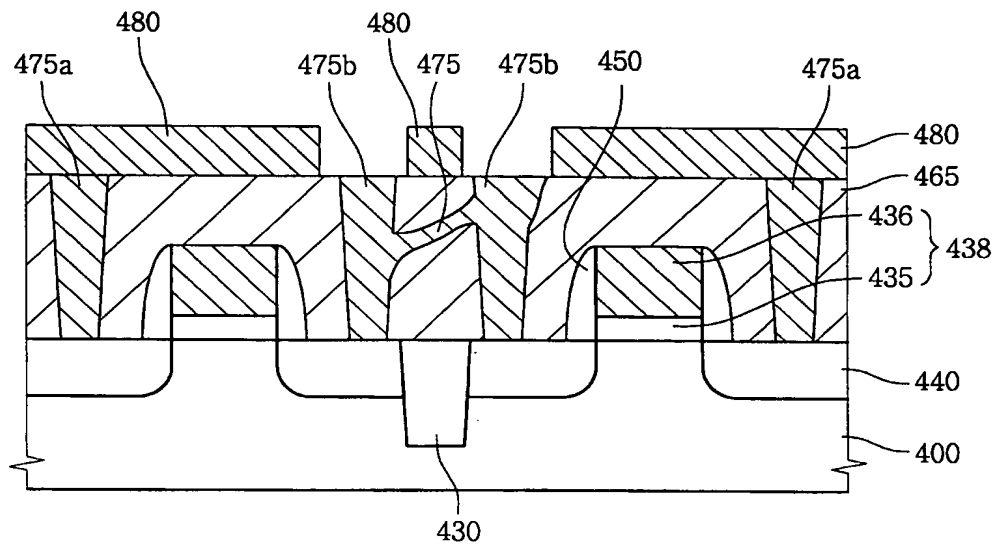


【도 4f】

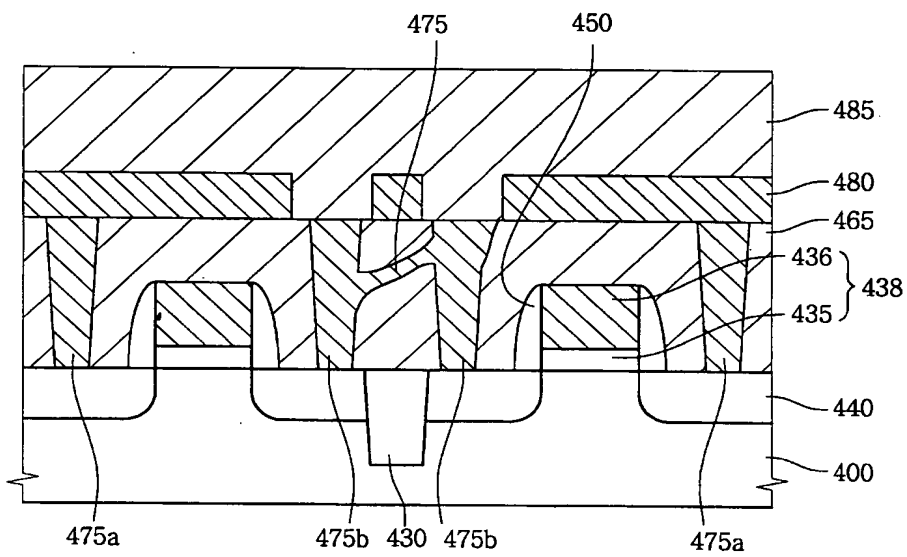




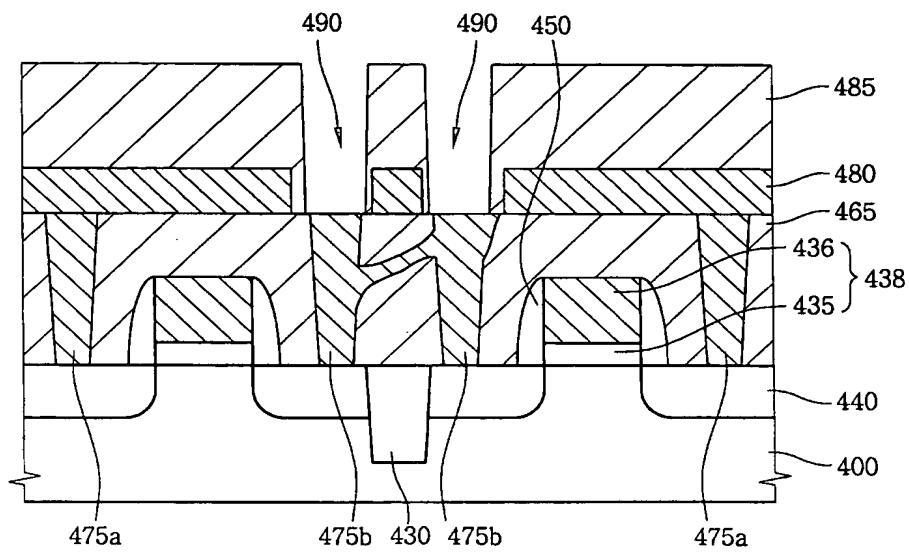
【도 4g】



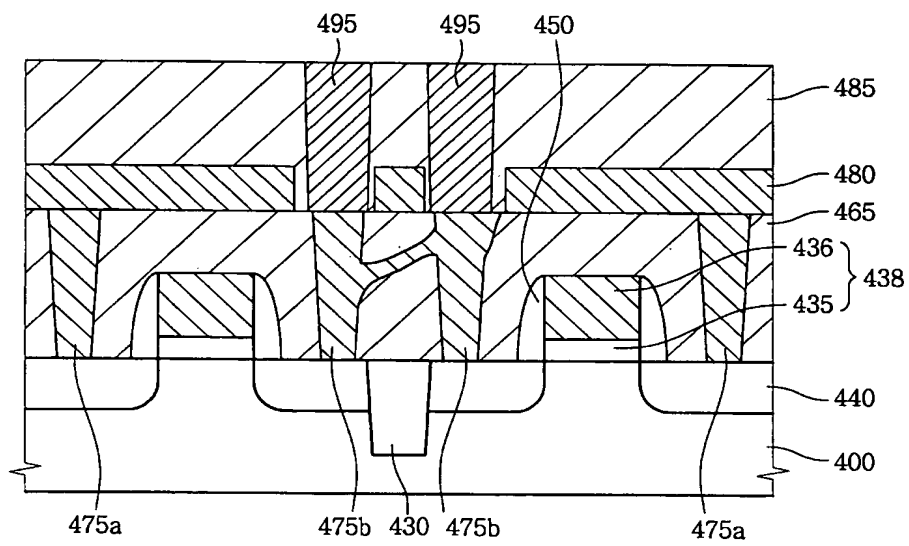
【도 4h】



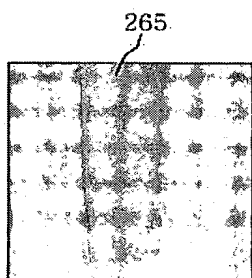
【도 4i】



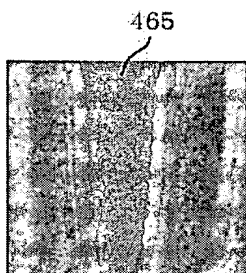
【도 4j】



【도 5a】



【도 5b】



【도 6】

